

先端技術キーワード解説

知っておきたい最新の動き

[FOWLP (Fan out Wafer Level Package)]

半導体パッケージの世界に大きな転換が起きそうです。この火元はアップル社です。次期 iPhone 向けアプリケーションプロセッサのパッケージに、新たなパッケージ技術である FOWLP (Fan Out Wafer Level Package) を採用するらしいとのこと。当初は、検討しているということから、いよいよ、採用するのではという現実味のある情報に変化してきています。

さて、この注目を浴びている FOWLP とはどのようなものなのでしょうか。

始めに、現状、最先端とされている半導体パッケージ技術を整理してみましょう。

(1) WLCSP (Wafer Level Chip Scale Package)

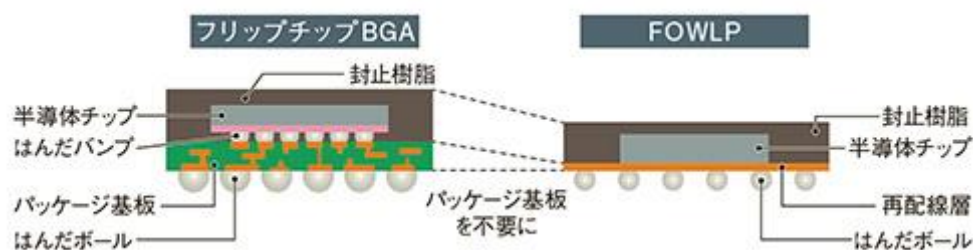
高密度化を志向、半導体チップとボードへの実装面積がほぼ同じとなるパッケージ技術です。半導体ウェハの状態で再配線層 (チップ配線とボード接続端子の配線) を形成し、封止してから個片化するパッケージ技術です。パッケージ面積とチップ面積が、ほぼ、同じになりますが、面積自体が小さいため、ボード接続端子数には限界があります。通常は数十端子程度までです。

(2) FCBGA (Flip Chip Ball Grid Array)

WLCSP に対し、ボード接続端子数の限界を開放させるパッケージ技術です。半導体チップとボードの間に、インターポーザーという中間的なパッケージ基板を配置し、そこで再配線をします。半導体チップとインターポーザー間はフリップチップ (はんだバンプ) 接続、インターポーザーとボード間は BGA (はんだボール) 接続をします。

これらには、本質的な課題があります。WLCSP はボード接続端子数の限界です。FCBGA はインターポーザーを用いるためコスト高と薄型化が困難となることです。

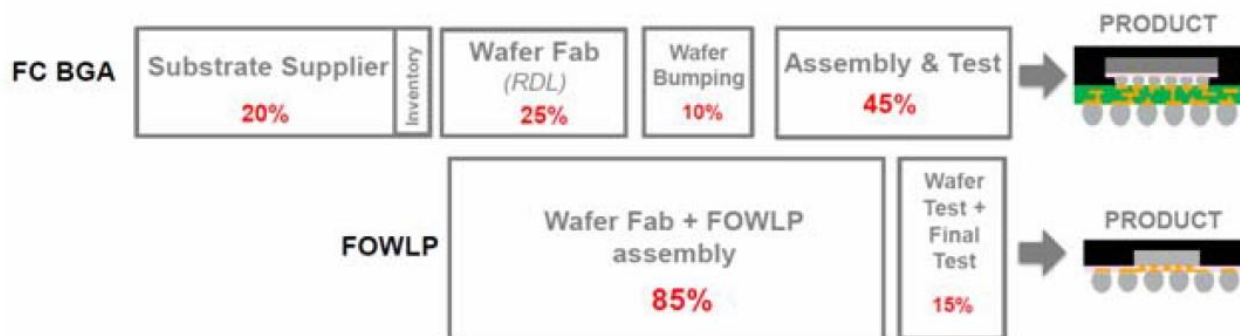
そこで、現れたのが FOWLP (Fan Out Wafer Level Package) 技術です。これは、ウェハ上に再配線層を形成、チップの外側まで端子を広げる (fan out) ものです。このため、チップ面積に対して端子数が多い場合でもパッケージ化できます。しかも、FCBGA では必須とされているインターポーザーを排除することができます。



驚くのは、この発想は、台湾 TSMC が独自に開発した InFO (Integrated Fan Out) 技術によるものであることです。TSMC は、前工程 (ウェハプロセス) のファウンドリー企業です。それが、これまで、後工程の企業が専門としていたパッケージングの領域へ進出してきています。

本 FOWLP は、半導体パッケージ業界に旋風を巻き起こす可能性があります。まずは、材料が変化するため材料メーカーのポジションの変化、プロセスが変化するため製造装置メーカーのポジションの変化で

す。さらに、それよりも業界を揺るがすことになりそうなのは、前工程と後工程の垂直分業の再編、そして、アップル社のマルチソース調達に対応するサプライチェーンの再編成などが起きることです。



出所 : Yole Développement

この動きは、日本電子産業にとって目を離せないものになりそうです。

(参考)

- 1) Apple 採用で業界騒然、FOWLP 本格量産へ、日経エレクトロニクス 2016年3月号 (図を引用)
- 2) TOWA 株式会社 プレスリリース http://www.towajapan.co.jp/ir/pdf/news_130424_5.pdf
(図を引用)

(注)

本解説は、執筆当時の状況に基づいて解説をしております。ご覧になる時には、状況が変わっている可能性がありますので、ご注意ください。

Copyright (C) Satoru Haga 2016, All right reserved.

技術・経営の戦略研究・トータルサポータ	工学博士 中小企業診断士 社会保険労務士(登録予定)
ティー・エム研究所	代表 芳賀 知
E-Mail: info_tm-lab@mbn.nifty.com	URL: http://tm-lab@a.la9.jp/